

# 片上栅氧经时击穿失效监测电路与方法

辛维平, 庄奕琪, 李小明

(西安电子科技大学微电子学院, 陕西西安 710071)

**摘 要:** 栅氧经时击穿(Time Dependent Dielectric Breakdown(TDDDB))等失效机理引起的失效是电路失效的主要原因之一,而这些电路的失效可能会造成灾难性的后果.本文提出了一种片上、能对栅氧经时击穿引起的失效进行实时预报的电路及方法.当栅氧经时击穿引发电路或系统失效时,本监测电路会发出报警信号.本监测电路采用标准的 CMOS 工艺,只占用很小的芯片面积,同时它只与宿主电路共用电源信号,从而不会给宿主电路带来任何干扰.本监测电路采用 0.18 $\mu\text{m}$  CMOS 工艺实现了投片验证.

**关键词:** 栅氧经时击穿; 实时; 可靠性; 预报; 寿命

**中图分类号:** TN495      **文献标识码:** A      **文章编号:** 0372-2112 (2012)11-2188-06

**电子学报 URL:** <http://www.ejournal.org.cn>      **DOI:** 10.3969/j.issn.0372-2112.2012.11.008

## An On-Chip Circuit for Monitoring Failure Due to TDDB

XIN Wei-ping, ZHUANG Yi-qi, LI Xiao-ming

(School of Microelectronics, Xidian University, Xi'an, Shaanxi 710071, China)

**Abstract:** In the electronic systems, the failure of a module or circuit often results in catastrophic consequences. The failure of these modules or circuits is mostly caused by device failure mechanisms, including TDDB (time dependent dielectric breakdown), hot carrier injection, negative bias temperature instability, etc. This paper presents an on-chip real-time prediction circuit and method for TDDB. When the circuit under test is failure due to TDDB, the prediction circuit is capable of issuing a warning signal. The prediction circuit, designed by a standard CMOS process, occupies a small silicon area and does not share any signal with the circuits under test, therefore, the possibility of interference with the surrounding circuits is safely excluded. The circuit is taped out in 0.18 micron process, and its performance is met the design requirements.

**Key words:** TDDB(time dependent dielectric breakdown); real-time; reliability; prediction; lifetime

## 1 引言

随着系统级芯片(SOC)在航空、航天技术方面的应用以及复杂电子系统向着微型化、高集成化、多功能化的迅猛发展,人们对 SOC 的质量和可靠性提出了更加苛刻的要求,往往把可靠性提到了与技术性能同样重要的地位,而在某些领域,电路可靠性的重要性有时甚至超过了其性能和功能.因此,SOC 的可靠性技术已经成为高可靠性电子系统的重要指标,它比以往任何时候都显示出其显著的重要性.与此同时,如何保证此类系统芯片的可靠性却遇到了越来越大的挑战,其中一个非常重要的环节是缺乏有效的可靠性测试方法.

目前,超大规模集成电路可靠性测试技术有三种主要手段:(1)可靠性试验与失效分析;(2)可靠性模拟;(3)工艺在线检测.它们或是利用制成芯片以及陪片来

对芯片或给定工艺的可靠性进行评估<sup>[1,2]</sup>;或是利用及其耗时且依赖于仿真模型的计算机仿真.上述所有的测试方法都无法实时地对器件的寿命进行预报,而且由于上述测试方法只能近似的估计器件工作的温度、电压等应力条件,得到的结果必然存在着很大的误差.本文提出了一种可嵌入 SOC、可对栅氧经时击穿引起的失效进行实时预报的电路及方法.本监测电路可以作为 IP 嵌入到宿主电路中,从而与宿主电路一起生产、制造、运输、使用.这样就确保了任何影响产品可靠性的因素也将作用于预报单元,只要其工作环境和应力参数相同,其失效率也将保持相同,从而克服了传统的离线测试的局限性,实现嵌入式实时预报的目的.

## 2 TDDB 失效实时预报方法

电子产品的失效率与寿命之间的关系可以用如

图 1 所示的浴盆曲线来描述.器件的正常工作期一般指偶然失效区,在器件的寿命接近损耗失效区时认为器件已经接近失效.

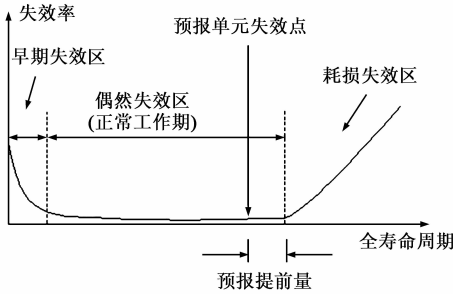


图1 TDDDB失效预报示意图

本 TDDDB 失效监测电路给栅介质施加比其工作条件较大的应力,促使监测电路的栅介质早于待测电路失效.图 1 是 TDDDB 失效预报示意图,当待测 SOC 的寿命离损耗失效区还有一个预先设定的“预报提前量”时,这时经受较大应力的预报单元电路提前进入损耗失效区,从而实现 TDDDB 失效预报的目的.

给监测电路中的 MOS 电容施加较大的应力,其加速寿命与栅介质的正常寿命之间的关系为:

$$AF = T_{use} / T_{stress} \quad (1)$$

加速寿命试验中一般认为温度、电压以及面积等加速因子之间相互独立,那么总的加速因子为:

$$AF(\text{total}) = AF(T) \cdot AF(E) \cdots AF(A) \quad (2)$$

式中  $AF(T)$  是温度加速因子;  $AF(E)$  是电场加速因子;  $AF(A)$  是面积加速因子. 因此,器件的工作寿命为:

$$T_{use} = T_{stress} \cdot AF(\text{total}) \quad (3)$$

### 3 TDDDB 失效实时监测单元原理与电路

#### 3.1 监测电路原理

一般的可靠性试验都是给 MOS 电容施加更大的应力<sup>[3,4]</sup>(包括电应力与温度应力),使 MOS 电容加速失效,再用外推法计算 MOS 器件的寿命.这样的实验只能离线进行,不能客观地反应宿主电路所经受的应力.

要想实现实时预报,监测电路必须具备:(1)能反应宿主电路栅氧性能随时间的退化;(2)能将性能退化参数转化为数字逻辑信号;(3)能实现监测电路与宿主电路的隔离,不对宿主电路信号产生干扰;(4)监测电路功耗小、面积小.

根据以上要求,TDDDB 失效监测电路如图 2 所示.监测电路中栅氧经时击

穿测试结构采用  $N$  个并联的 MOS 电容组成.这些 MOS 电容与宿主电路的栅氧同时生成,不仅在制造过程经受了相同的应力,而且处于相同的工作环境,因此其与待测电路的栅氧适用相同的退化模型,能完全地反应宿主电路的退化.给 MOS 电容组施加预先设定的电压  $V_{stress}$ ,  $K1$ 、 $K2$ 、 $K3$  为电路两种工作模式的切换开关.读取电阻  $R1$ 、应力电阻  $R2$  为多晶电阻,且  $R1 \gg R2$ .

栅氧击穿预报单元中含有  $N$  个并联电容,由于电容的阻抗远大于多晶电阻,这些并联电容未发生失效时,电容正极的电压为高电平.当 MOS 电容经受 TDDDB 应力后,  $N$  个并联电容中只要有一个发生失效,就会产生很大的泄漏电流,这时电容正极的电压为低电平,监测电路将发出报警信号.

#### 3.2 监测电路的工作状态

监测电路有两种工作状态,可根据电路中三个开关状态的不同进行转换:

(1)加速退化状态:测试信号  $test$  为低电平时,开关  $K1$ 、 $K3$  断开,  $K2$  关闭,应力电压  $V_{stress}$  加到  $N$  个并联的 MOS 电容上.这些电容在应力电压  $V_{stress}$  不断退化,由于  $V_{stress}$  大于  $V_{cc}$ , MOS 电容会早于宿主电路栅氧失效.应力电阻  $R2$  与 MOS 电容组串联,作为保护电阻.当监测单元的 MOS 电容组失效后,应力电阻确保电路不会发生电源地短路.

(2)检测退化状态:需要测试时,测试信号  $test$  为高电平,开关  $K1$ 、 $K3$  关闭,  $K2$  断开.此时,读取电阻  $R1$ 、MOS 电容组、应力电阻  $R2$  串联.如果没有一个电容失效,则锁存器的输入电压为逻辑 1,其输出端则是逻辑“0”低电平信号;如果有一个电容因退化而呈现低阻抗,则锁存器的输入电压为逻辑 0,其输出端是逻辑“1”高电平信号.

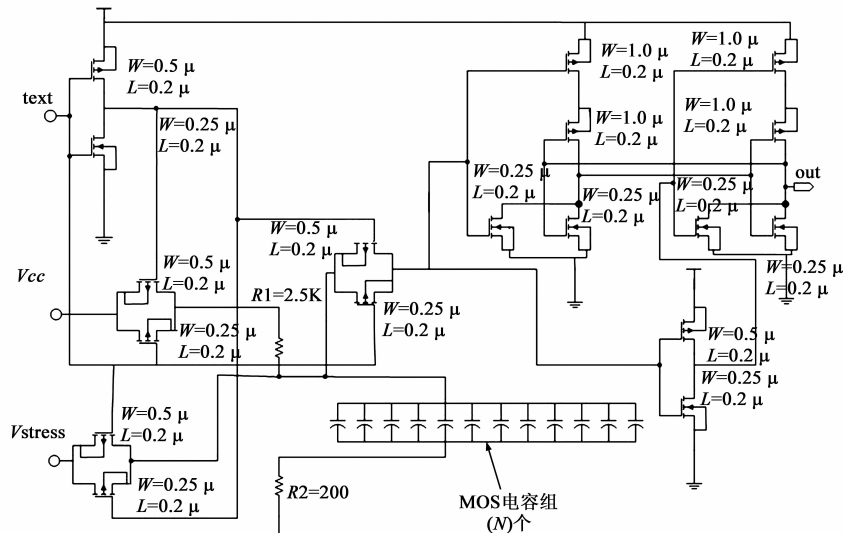


图2 TDDDB监测单元电路图

### 3.3 电容数 $N$ 与应力电压 $V_{\text{stress}}$ 的确定

器件的 TDDB 寿命是一个随机变量,其服从威布尔分布<sup>[5~7]</sup>.威布尔分布函数为:

$$F(t_{BD}) = 1 - \exp\left(-\left(\frac{t_{BD} - t_p}{t_\psi}\right)^\beta\right) \quad (4)$$

式中  $F(t_{BD})$  是累计失效率;  $t_{BD}$  是寿命,  $t_\psi$  是威布尔函数的尺度参数,  $t_p$  是威布尔函数的位置参数,  $\beta$  是威布尔函数的形状参数.

栅氧击穿监测单元中含有  $N$  个并联电容(假定电容面积等已经确定,  $N$  未知),  $N$  个并联电容中只要有一个失效,就会在这个电路中产生很大的漏电流,这时并联电容可以看成是一个导电通路.因此  $N$  个并联电容中第一个电容失效的时间就是栅氧击穿监测单元发出报警信号的时间,也就是报警时间,它在设计中预先确定.

根据可靠性关于累计失效率的计算方法,  $N$  个电容的第一个失效时的累计失效率为:

$$F(t_{1/N}) = 1/N \quad (5)$$

这  $N$  个电容的寿命也服从威布尔分布,结合报警时间  $t_{1/N}$  有:

$$t_{\text{pred}} = t_{1/N} \left(\ln \frac{N}{N-1}\right)^{-1/\beta} \quad (6)$$

式中  $t_{\text{pred}}$  是 TDDB 寿命预报单元电路的特征寿命.

栅氧击穿监测单元和宿主电路的栅氧采用同一栅氧厚度,工作在同一温度环境下,所以只有栅氧面积和电应力不同.设栅氧击穿监测单元面积为  $N * A$  ( $A$  单个 MOS 电容面积),电应力为  $V_{\text{stress}}$ ; 宿主电路面积为  $B$ ,电应力为  $V_{DD}$ .

设 TDDB 数学模型为  $MTF = f(A) * g(V)$ , 那么加速因子为:

$$AF = \frac{MTF_{\text{pred}}}{MTF_{\text{host}}} = \frac{f(NA)g(V_{\text{stress}})}{f(B)g(V_{DD})} \quad (7)$$

式中 MTF 是 TDDB 中位寿命,结合威布尔分布,可以得到:

$$t_{\text{pred}} = t_{\text{host}} \left(\frac{-B}{NA * \ln(1-0.1\%)}\right)^{1/\beta} * \frac{g(V_{\text{stress}})}{g(V_{DD})} \quad (8)$$

上式中,由于栅介质的失效模型与栅介质的厚度有关,因此  $g(V_{\text{stress}})/g(V_{DD})$  的确定有待于失效模型的确定.

#### 3.3.1 E 模型

由 Crook 等人得到的 E 模型,也称为热化学击穿模型(Thermochemical Breakdown Model)<sup>[8,9]</sup>,其栅氧化层 TDDB 寿命与应力之间的关系如式(9):

$$MTF = A \exp(-\gamma E_{ox}) \exp(E_a/KT) \quad (9)$$

上式中,MTF 是 TDDB 中位寿命;  $A$  是与材料相关的常数;  $\gamma$  是电场加速参数;  $E_{ox}$  是栅氧的电场强度(单

位为 MV/cm);  $E_a$  是激活能(eV);  $K$  是玻尔兹曼常数;  $T$  是绝对温度.

根据式(9),可以得到电场加速因子为:

$$AF(E_{ox}) = \exp(-\gamma(E_{\text{stress}} - E_{\text{use}})) \quad (10)$$

如果以累计失效率达到 0.1% 时的时间为电子器件的特征寿命,则有:

$$t_{\text{pred}} = t_{\text{host}} \left(\frac{-B}{NA * \ln(1-0.1\%)}\right)^{1/\beta} * \exp(-\gamma(E_{\text{stress}} - E_{\text{use}})) \quad (11)$$

式中  $t_{\text{host}}$  是宿主电路的特征寿命,  $B$  是宿主电路的栅氧面积,  $A$  是监测电路单个电容的面积.

#### 3.3.2 V 模型

随着集成电路工艺的不断发 展,栅氧化层不断变薄以提高驱动电流和控制短沟效应.一般认为,在超薄氧化栅情况(小于 3.2nm)下, E 模型不再有效.为了适应薄栅介质,人们提出了 V 模型,其又称为栅压驱动模型<sup>[10~12]</sup>,其栅氧化层 TDDB 寿命与应力之间的关系如下:

$$MTF = C * \exp(\gamma(\alpha * t_{ox} + \frac{E_a}{kT} - V_g)) \quad (12)$$

式中  $C$  是与材料相关的常数;  $\gamma$  是电加速因子;  $\alpha$  是氧化层加速因子(和氧化层厚度和栅压有关);  $t_{ox}$  是氧化层厚度;  $E_a$  是热激活能;  $k$  是玻尔兹曼常数;  $T$  是结温;  $V_g$  是栅氧上施加的电压.

同样的,可以得到电场加速因子为:

$$AF(V) = \frac{g(V_{\text{stress}})}{g(V_{DD})} = \exp(-\gamma(V_{\text{stress}} - V_{DD})) \quad (13)$$

监测电路与宿主电路特征寿命之间的关系:

$$t_{\text{pred}} = t_{\text{host}} \left(\frac{-B}{NA * \ln(1-0.1\%)}\right)^{1/\beta} * \exp(-\gamma(V_{\text{stress}} - V_{DD})) \quad (14)$$

## 4 实验

本文的 TDDB 寿命实验分为两步:(1)对 MOS 电容组进行加速寿命实验,通过实验获得模型参数以及激活能等参数;(2)通过加速寿命实验验证 TDDB 监测电路的功能,并通过获得的实验数据对电容加速寿命实验获得的参数进行进一步的验证.

实验所用样品采用 TSMC 的 0.18 $\mu\text{m}$  LOGIC IP6M SALICIDE 1.8V/3.3V 工艺,栅氧厚度为 4.0nm.因此,实验采用 E 模型.通过式(5)与(11)就可以求出 MOS 电容组的电容数  $N$  与 MOS 电容上应施加的应力电压  $V_{\text{stress}}$ .如图 3 所示,在以  $t_{\text{pred}}$  为横坐标,  $N$  为纵坐标的坐标系中,曲线  $t1$  式(11)中  $t_{\text{pred}}$  与  $t_{\text{host}}$  的关系,  $t2$  是式(5)中  $t_{\text{pred}}$  与  $N$  之间的关系.两条曲线的交点横坐标是满足要求的栅氧击穿监测单元特征寿命  $t_{\text{pred}}$ ,交点纵坐标是满

足要求的栅氧击穿监测单元电容组并联个数  $N$ . 如果栅氧击穿监测单元特征寿命和宿主电路市场寿命之间的关系曲线  $t_1$  以  $E_{\text{stress}}$  为参变量 ( $E_{\text{stress}}$  在大于栅压, 小于最大击穿电压的一定范围内取值), 随着  $E_{\text{stress}}$  增大, 曲线  $t_1$  越往左移  $t_{\text{pred}}$  变小, 和曲线  $t_2$  相交的点在图 3 中表现为椭圆区内的线段.

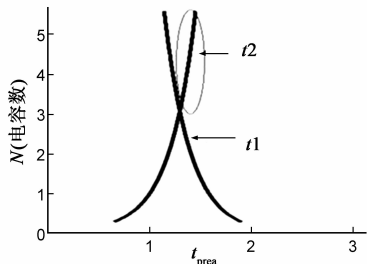


图3 电容数 $N$ 确定示意图

### 4.1 高温恒电场 TDDB 可靠性试验及模型参数的提取

为获得击穿时间  $t_{BD}$ 、模型参数以及激活能等参数, 对 MOS 电容进行了大量的实验. 栅氧化层 TDDB 特性的测试方法主要有恒定电流源、恒定电压源、斜坡电流源及斜坡电压源等方法<sup>[13]</sup>. 本文的实验采用恒定电压源.

SOC 以及超大以上规模集成电路一般都工作于高温环境下, 因此实验中给 MOS 电容施加高温、恒定电场两种应力来评价栅氧化层的可靠性. 用于高温恒电场 TDDB 可靠性实验的测试电容是面积为  $0.5\mu\text{m} \times 0.2\mu\text{m} \times 200$  的 PMOS 电容组, 图 4(a) 是可靠性测试结构芯片封装全貌图, 图 4(b) 是试验用 PMOS 电容组芯片图. 在  $130^\circ\text{C}$  温度下, 给电容组施加  $2.8\text{V}$ 、 $3.0\text{V}$ 、 $3.2\text{V}$  的电压应力使其快速失效. 实验采用 SR570 低频噪声电流放大器与西电科大噪声分析系统测量 MOS 电容组的泄漏电流并提取其具体数值.

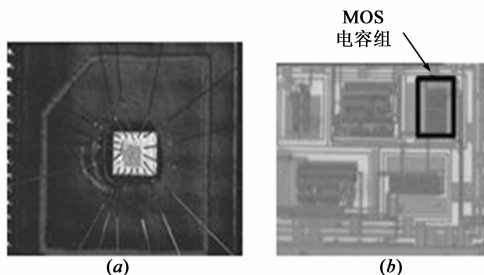


图4 可靠性试验芯片封装图及芯片中的PMOS电容组

### 4.2 TDDB 寿命监测电路功能验证

本 TDDB 监测电路样品电容由 60 个面积相同的 MOS 电容组成. 单个电容的面积为  $0.5\mu\text{m} \times 0.2\mu\text{m}$ , 栅氧厚度为  $4.0\text{nm}$ . 图 5(a) 是 TDDB 监测电路芯片照片, 图 5(b) 是 TDDB 实验测试板照片.

功能验证实验中, 给电容组施加  $3.0\text{V}$ ,  $130^\circ\text{C}$  的应

力, 施加应力初期, 电路输出低电平, 经过  $90430\text{s}$  后电路输出高电平, 表明 MOS 电容已经失效, 监测电路发出报警信号.

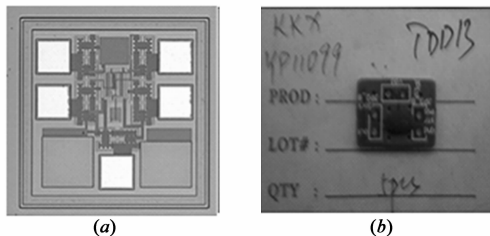


图5 TDDB监测电路芯片与电路测试板照片

## 5 结果与讨论

实验中将 MOS 电容分为 4 组, 在  $130^\circ\text{C}$  时, 给电容施加  $2.8\text{V}$ 、 $3.0\text{V}$ 、 $3.2\text{V}$  的电压, 获得其寿命值. 为了获得温度加速因子, 又在  $110^\circ\text{C}$ 、 $3.0\text{V}$  的条件下获得 MOS 电容的寿命值.

### 5.1 高温恒电场 TDDB 可靠性试验结果与讨论

图 6 为 MOS 电容组在不同电压下泄漏电流随时间的变化曲线. 从图 6 中可以看到, 当给样品施加恒定电场时, 随着时间的增加,  $I_g$  缓慢下降. 当达到某一临界值时,  $I_g$  突然上升, MOS 电容击穿. 实验中, 样品击穿前  $I_g$  没有出现饱和现象, 这说明在应力的作用下, 介质中不断的有新陷阱产生. 给样品施加应力后, 由于电荷陷落以及注入  $\text{SiO}_2$  的热载流子在  $\text{SiO}_2$  中产生新的陷阱, 使得  $\text{SiO}_2$  层中陷阱电荷密度增加, 从而俘获电荷. 因此在恒定电场条件下, 注入栅氧的电流随着时间变化, 样品俘获电荷使  $I_g$  下降. 对不同的栅电压  $V_g$ , 击穿时间  $t_{BD}$  随着  $V_g$  的增加而减小, 与理论预计相符<sup>[14]</sup>.

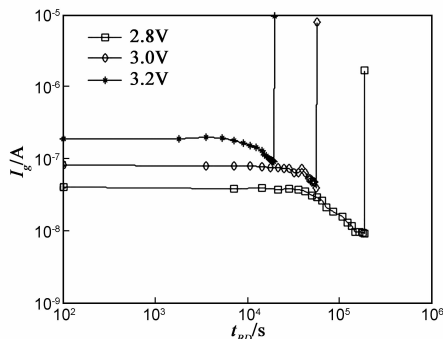


图6 恒压偏置下MOS电容栅电流 $I_g$ 随时间 $t_{BD}$ 的变化关系

实验获得的 MTF 值如表 1 所示, 代入式 (4), 可获得  $\ln(t_{BD}) \sim E_{ox}$  直线的斜率, 即 E 模型的电参数  $\gamma$ , 其平均值为  $3.0007$ , 用同样的方法还可获得激活能, 这里取平均值  $E_a = 0.4805$ .

由式(1)与式(9)可以得到电场加速因子:

$$AF(E) = \frac{t_{BD}(E_{\text{use}})}{t_{BD}(E_{\text{test}})} = \exp[-\gamma(E_{\text{use}} - E_{\text{test}})] \quad (15)$$

同样的温度加速因子为:

$$AF(T) = \frac{t_{BD}(T_{use})}{t_{BD}(T_{test})} = \exp\left[\left(\frac{1}{T_{use}} - \frac{1}{T_{test}}\right) \frac{E_a}{k}\right] \quad (16)$$

将电参数  $\gamma$  与激活能  $E_a$  代入式(15), (16)可求出电场加速因子与温度加速因子. 从而可以外推获得样品的市场寿命. 由表 1 可以看出样品在几种应力条件下外推的市场寿命基本一致, 试验结果与实际吻合.

## 5.2 TDDB 寿命监测电路试验结果与讨论

对 TDDB 监测电路样品进行加速寿命实验时, 选取 20 个监测电路样品给其施加 130℃, 3.0V 的应力, 其失效率为 0.1 时两个失效样品实验寿命差约为 10% 左右, 其平均寿命为 13800s. 栅氧发生击穿时, 监测电路输出高电平.

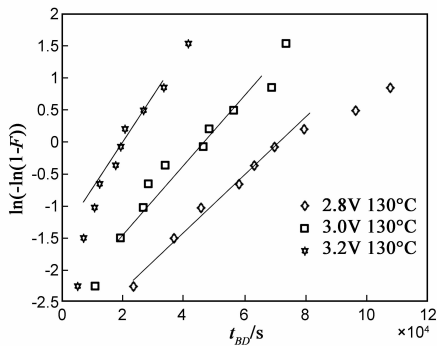


图7 130℃时  $t_{BD}$  与  $\ln(-\ln(1-F))$  的关系

高温恒电场试验中获得了 130℃ 时 MOS 电容三种电压应力下的寿命  $t_{BD}$ , 其与失效率之间的关系如图 7 所示. 由式(9)可知:

$$\ln(-\ln(1-F)) \propto \beta * \ln t_{BD} \quad (17)$$

式中  $\beta$  是威布尔函数的形状参数. 从图 7 可以看出, 三种应力条件下  $t_{BD}$  与  $\ln(-\ln(1-F))$  的关系基本呈线性关系, 且三条直线近似平行, 与理论分析一致. 取三条直线斜率的平均值可得威布尔形状参数  $\beta = 1.68$ .

由式(11)以及上面获得  $\beta$  值可以得到 TDDB 监测电路失效率为 0.1 时的寿命为 14315s. 与实验所得寿命接近.

本文提出的 TDDB 嵌入式实时监测电路能准确的实现栅氧经时击穿预报, 其监测电路面积为  $25 \times 16 \mu\text{m}^2$ , 且在应力电压为 3.0V 时的功耗为  $491 \mu\text{W}$ , 不会给宿主电路带来太大的面积与功耗负担. 监测电路只与宿主电路共用电源, 不会给宿主电路造成信号干扰.

另外, 从上面的讨论可知道, 电场加速因子  $AF(E_{ox})$  对电路 TDDB 寿命的影响要远大于温度加速因子. 因此, 对电路设计者来说, 减小栅极电压、降低栅电压时间是延长栅介质寿命的更有效方法. 当然, 如果要考虑到其它失效机理, 如负偏压温度不稳定性, 那么使芯片上的功率分布更加均匀将是设计者必须面对的挑战.

表 1 TDDB 加速寿命实验数据

温度 (°C)	栅氧化层电场 (MV/cm)	电参数 $\gamma$	激活能 (eV)	实验寿命 (s)	市场寿命 (Y)(25°C)
130	7.0			89880	733.1
130	7.5			42600	732.8
130	8.0	3.0007	0.4805	20040	731.1
110	7.0			190920	733.5

## 6 结论

本文提出了一种可嵌入 SOC 的、能进行 TDDB 寿命实时预报的电路与方法, 解决了如航空、航天等可靠性应用领域中器件失效可能带来的安全困扰, 克服了传统的离线测试的局限性, 为电子产品的可靠性评价以及寿命预报提供了一种新的精确的手段.

## 参考文献

- [1] 胡恒升, 张敏, 林立谨. TDDB 击穿特性评估薄介质层质量[J]. 电子学报, 2000, 28(5): 71-74.  
HU Heng Sheng, ZHANG Min, LIN Li Jin. Quality evaluation of thin dielectric film by TDDB measurements[J]. Acta Electronica Sinica, 2000, 28(5): 71-74. (in Chinese)
- [2] Nigam T, Degraeve R, et al. A fast and simple methodology for lifetime prediction of ultra-thin oxides[A]. IEEE 37th Annual International Reliability Physics Symposium[C]. San Diego California, 1999. 381-386.
- [3] James H. Stathis. Physical and predictive models of ultrathin oxide reliability in CMOS devices and circuits[J]. IEEE Transactions on Device and Materials Reliability, 2001, 1(3): 43-59.
- [4] John S. Suehle. Ultrathin gate oxide reliability: physical models, statistics, and characterization [J]. IEEE Transactions on Electron Devices, 2002, 49(6): 958-971.
- [5] Salvatore Lombardo, James H. Stathis, et al. Dielectric breakdown mechanisms in gate oxides [J]. Journal of Applied Physics, 2005, 98(10): 121301-121304.
- [6] Ernest Y. Wu, Edward J. Nowak, et al. Han. Weibull breakdown characteristics and oxide thickness uniformity[J]. IEEE Transactions Electron Devices, 2000, 47(12): 2301-2309.
- [7] Thomas Kauerauf, Robin Degraeve, et al. Low weibull slope of breakdown distributions in high-k layers[J]. IEEE Electron Device Letters, 2002, 23(4): 215-217.
- [8] D J DiMaria, Hole Trapping. Substrate currents and breakdown in thin silicon dioxide films[J]. IEEE electron device letters, 1995, 16(5): 184-186.
- [9] Abdullah M. Yassine, H E Nariman, et al. Time dependent breakdown of ultrathin gate oxide [J]. IEEE Transaction on Electron Devices, 2000, 47(7): 1419-1420.
- [10] F Monsieur, E Vincent, D Roy, et al. Time to breakdown and

voltage to breakdown modeling for ultra-thin oxides[A]. Integrated Reliability Workshop Final Report[C]. Stanford Sierra Camp, Lake Tahoe, California, 2001. 20 - 25.

- [11] Paul E. Nicollian, William R. Hunter, et al. Experimental evidence for voltage driven breakdown models in ultrathin gate oxides[A]. Reliability Physics Symposium[C]. San Jose, California, 2000. 7 - 15.
- [12] Ernest Wu, Edward Nowak, et al. New global insight in ultra-thin oxide reliability using accurate experimental methodology and comprehensive database[J]. IEEE Transactions on Devices and materials reliability, 2001, 1(1): 69 - 80.
- [13] I C Chen, C Hu. Electric breakdown in thin gate and tunneling oxide[J]. IEEE Trans. ED. 1985, 32(2): 413 - 422.
- [14] 刘红侠, 郝跃. 薄栅氧化层经时击穿的参数表征研究[J]. 物理学报, 2000, 49(6): 1163 - 1167.  
LIU Hong Xia, HAO Yue. Study on parameter characterization of thin gate oxide TDDB breakdown[J]. Acta physics Sinica, 2000, 49(6): 1163 - 1167. (in Chinese)

## 作者简介



**辛维平 (通讯作者)** 男, 1972 年出生, 陕西西安人. 西安电子科技大学微电子学院博士研究生, 主要研究兴趣是微电子器件可靠性预测与功率系统集成.

E-mail: xinweiping2004@163.com



**庄奕琪** 男, 西安电子科技大学微电子学院院长, 国家集成电路人才培养基地主任, 教授. 研究方向为通信与功率系统集成、短距离无线通信及信息家电核心芯片设计、微电子器件噪声与可靠性应用技术、微弱信号检测及虚拟仪器开发等.

E-mail: yqzhuang@126.com